

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-299389
(P2000-299389A)

(43) 公開日 平成12年10月24日 (2000. 10. 24)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L 21/8234		H 0 1 L 27/08	1 0 2 B 4 M 1 0 4
27/088		21/28	3 0 1 T 5 F 0 4 8
21/28	3 0 1	27/08	1 0 2 D

審査請求 未請求 請求項の数2 O L (全 6 頁)

(21) 出願番号 特願平11-107946

(22) 出願日 平成11年4月15日 (1999. 4. 15)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 鈴木 嘉之

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100070150

弁理士 伊東 忠彦

最終頁に続く

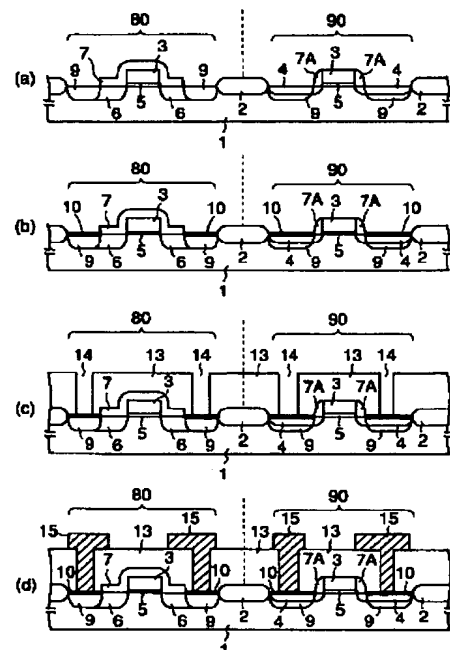
(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

【課題】 駆動能力を担保しつつ従来より高静電破壊耐性が向上した入出力トランジスタを備えた半導体装置とその製造方法を提供する。

【解決手段】 半導体基板1と、内部トランジスタ90と、入出力トランジスタ80とを備えた半導体装置であって、内部トランジスタ90のソース・ドレイン領域に形成されたLDD領域4と、コンタクト領域に形成されたLDD領域4の不純物濃度より大きな不純物濃度を有する高濃度拡散領域9と、内部トランジスタ90のソース・ドレイン領域とコンタクト領域との表面に形成されたシリサイド層10と、入出力トランジスタ80のゲート電極3とコンタクト領域との間に形成され、LDD領域の不純物濃度より大きく高濃度拡散領域9の不純物濃度より小さい不純物濃度を有する中濃度拡散領域6とを備えたことを特徴とする半導体装置を提供する。

本発明の実施の形態に係る半導体装置の製造方法をさらに続けて説明する図



【特許請求の範囲】

【請求項1】 半導体基板と、

前記半導体基板上の第一の領域に形成された第一のゲート電極と、該第一のゲート電極の両側に形成された第一のソース・ドレイン領域とを有する内部トランジスタと、

前記半導体基板上の第二の領域に形成された第二のゲート電極と、該第二のゲート電極の両側に形成された第二のソース・ドレイン領域とを有する入出力トランジスタとを有し、

前記第一のソース・ドレイン領域は、前記第一のゲート電極に隣接する領域に形成され第一の不純物濃度を有するLDD領域と、前記第一の不純物濃度よりも濃度の高い第一の拡散領域とを有し、

前記第二のソース・ドレイン領域は、前記第一の不純物濃度より大きな第二の不純物濃度を有する第二の拡散領域と、前記第二のゲート電極と前記第二の拡散領域との間に形成され、前記第一の不純物濃度より大きく前記第二の不純物濃度より小さい第三の不純物濃度を有する第三の拡散領域とを有し、

前記第一の拡散領域と前記第二の拡散領域には、オーミック電極が接合されたコンタクト領域を有する半導体装置。

【請求項2】 半導体基板上の第一の領域に形成され、第一のゲート電極と該第一のゲート電極の両側に形成された第一のソース・ドレイン領域とを有する内部トランジスタと、前記半導体基板上の第二の領域に形成され、第二のゲート電極と該第二のゲート電極の両側に形成された第二のソース・ドレイン領域とを有する入出力トランジスタとを備えた半導体装置の製造方法であって、前記半導体基板に前記第一及び第二のゲート電極を形成する工程と、

前記半導体基板に第一の濃度の不純物拡散を行うことにより前記第一のソース・ドレイン領域と前記第二のソース・ドレイン領域とにLDD領域を形成する工程と、前記内部トランジスタをレジストで覆った後、前記第二のソース・ドレイン領域に前記第一の濃度より大きな第二の濃度の不純物拡散を行うことにより前記第二のソース・ドレイン領域に第一の拡散層を形成する第一拡散工程と、

前記レジストを除去して前記半導体基板の全面に絶縁膜を形成する工程と、

前記第二のゲート電極をマスクした後、前記絶縁膜を全面異方性エッチングするエッチング工程と、

前記半導体基板に前記第二の濃度より大きな第三の濃度の不純物拡散を行うことにより前記第一のソース・ドレイン領域と前記第二のソース・ドレイン領域とに第二の拡散層を形成する第二拡散工程と、

前記第二の拡散層の表面にシリサイド層を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置とその製造方法に関し、さらに詳しくは入出力トランジスタを介して外部とデータをやり取りする半導体装置とその製造方法に関するものである。

【0002】

【従来の技術】近年、半導体素子の高集積化による各構成素子の微細化に伴いトランジスタの拡散層も薄くなってきており、拡散層抵抗の増大が問題となっている。そこで、拡散層表面に低抵抗シリサイド層を形成して拡散層抵抗を低くし、素子動作速度の低減を回避する技術が提案されている。しかし、半導体装置に備えられた入出力トランジスタにおいては、外部からノイズなどのサージ（異常電圧）が印加されやすいため、その拡散層表面のゲート電極隣接領域に低抵抗シリサイド層を形成すると、静電破壊耐圧が不十分になるという問題が生じる。従って従来は、高速動作が要求される半導体装置の内部トランジスタにおいては拡散層表面にシリサイド層を形成すると共に、静電破壊耐圧が要求される入出力トランジスタの拡散層にはシリサイド層を形成しないこととして必要な静電破壊耐圧を確保していた。以下において、この従来の技術をより具体的に説明する。

【0003】図1は、従来の第一の半導体装置の製造方法を説明する図である。この半導体装置は、まず最初に図1(a)に示されるように、半導体基板1上に素子分離絶縁膜2が形成されることにより入出力回路領域と内部回路領域とが互いに分離される。次に、半導体基板1上の入出力回路領域と内部回路領域との各々においてゲート酸化膜5及びゲート電極3が形成される。そして、ゲート電極3をマスクとして半導体基板1上の全面に一樣に不純物が低濃度のドーズ量でイオン注入されることにより、LDD領域（低濃度拡散領域）4がゲート電極3に対して自己整合的に形成される。

【0004】次に図1(b)に示されるように、半導体基板1上の全面に、典型的にはSiO₂膜の化学気相成長によって絶縁膜7が形成される。そして、図1(c)に示されるように、半導体基板1に略垂直に作用する異方性エッチングが施されることにより絶縁膜7がエッチバックされ、ゲート電極の側壁絶縁膜7Aが形成される。その後、ゲート電極3と側壁絶縁膜7AとをマスクとしてLDD領域4に注入された不純物と同じ導電型の不純物が高濃度のドーズ量で注入されることによって高濃度拡散領域9が形成される。次に図1(d)に示されるように、入出力トランジスタ80のソース・ドレイン領域と内部トランジスタ90のソース・ドレイン領域の表面にコバルトあるいはチタンからなるシリサイド層10が自己整合的に形成される。次に図1(e)に示されるように、内部トランジスタ90をレジストパターンにより保護し、入出力トランジスタ80のシリサイド層1

0だけをエッチバックにより除去する。

【0005】しかしながら、このようにして製造された従来の半導体装置は、入出力トランジスタ80のソース・ドレイン領域（拡散層）にシリサイド層を備えていないため、入出力トランジスタ80の拡散層抵抗及び電極コンタクト抵抗の上昇により動作の遅延を招来する。従って、このような観点からは駆動素子である入出力トランジスタのソース・ドレイン領域にもシリサイド層を備えることが望ましいこととなる。

【0006】そこで、従来においてはさらに、特開平10-70266号公報に示された半導体装置が考案されている。即ち、この従来の第二の半導体装置は図2に示されるように、出力トランジスタの拡散領域にシリサイド層10A、10Bを設けることとする一方で、ドレイン領域表面においてはシリサイド層10Bをゲート電極から離して形成したものである。ここで、シリサイド層10Bをゲート電極から離して設けるために、予めゲート電極の側壁絶縁膜7Aの一方を覆うように絶縁膜7Bがゲート電極直上からドレイン領域の一部にかけて延在するように形成される。また、ゲート電極の側壁絶縁膜7A直下には、従来通り n^- 形あるいは p^- 形のLDD領域4が形成される。

【0007】しかし、このような構造を有する半導体装置にも、次のような問題がある。即ち、第一に、上記絶縁膜7Bを出力トランジスタの拡散領域の片側に設計通りパターンニングにより形成することは精度上の技術的困難性を伴い、絶縁膜7Bを形成する際にゲート電極上に形成されるレジスト膜の形成位置のズレいかなによっては、その後のエッチングによりゲート電極の側壁を露出させてしまうことが生じ得る。また、LDD領域4が低濃度拡散層であるために、半導体基板1とLDD領域4とで形成される寄生バイポーラトランジスタ T_r のコレクタ抵抗は高く、出力端子OUTまたは半導体基板1にサージ（異常電圧）が印加された場合には多くの発熱が生じて、出力トランジスタが破壊されてしまうという問題がある。なお、図2に示された従来の半導体装置では、シリサイド層10A、10Bの下に、通常通り n^+ 拡散層9Aが側壁絶縁膜7Aの端部に達するように形成されている。

【0008】さらには、何らかの原因により接地端子GNDの電位が変動した場合には、シリサイド層10Aを介してソース領域のLDD領域4に直接電位変動が伝達されるため、上記の破壊が生じやすいという問題がある。

【0009】

【発明が解決しようとする課題】本発明は、上述のような問題点を解消するためになされたもので、駆動能力を担保しつつ従来より高静電破壊耐性が向上した入出力トランジスタを備えた半導体装置とその製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】上記の目的は、半導体基板と、半導体基板上の第一の領域に形成された第一のゲート電極と、該第一のゲート電極の両側に形成された第一のソース・ドレイン領域とを有する内部トランジスタと、半導体基板上の第二の領域に形成された第二のゲート電極と、該第二のゲート電極の両側に形成された第二のソース・ドレイン領域とを有する入出力トランジスタとを有し、第一のソース・ドレイン領域は、第一のゲート電極に隣接する領域に形成され第一の不純物濃度を有するLDD領域と、第一の不純物濃度よりも濃度の高い第一の拡散領域とを有し、第二のソース・ドレイン領域は、第一の不純物濃度より大きな第二の不純物濃度を有する第二の拡散領域と、第二のゲート電極と第二の拡散領域との間に形成され、第一の不純物濃度より大きく第二の不純物濃度より小さい第三の不純物濃度を有する第三の拡散領域とを有し、第一の拡散領域と第二の拡散領域には、オーミック電極が接合されたコンタクト領域を有する半導体装置を提供することによって達成される。

【0011】また、本発明の目的は、上記第二のゲート電極の直上及び側壁と第二の拡散領域表面とに形成された絶縁膜をさらに備えた半導体装置を提供することによっても達成される。また、本発明の目的は、さらに上記入出力トランジスタが、半導体装置のデータ入力回路またはデータ出力回路の少なくともいずれか一方の構成要素とされた半導体装置を提供することによっても達成される。

【0012】また、本発明の目的は、半導体基板上の第一の領域に形成され、第一のゲート電極と該第一のゲート電極の両側に形成された第一のソース・ドレイン領域とを有する内部トランジスタと、半導体基板上の第二の領域に形成され、第二のゲート電極と該第二のゲート電極の両側に形成された第二のソース・ドレイン領域とを有する入出力トランジスタとを備えた半導体装置の製造方法であって、半導体基板に第一及び第二のゲート電極を形成する工程と、半導体基板に第一の濃度の不純物拡散を行うことにより第一のソース・ドレイン領域と第二のソース・ドレイン領域とにLDD領域を形成する工程と、内部トランジスタをレジストで覆った後、第二のソース・ドレイン領域に第一の濃度より大きな第二の濃度の不純物拡散を行うことにより第二のソース・ドレイン領域に第一の拡散層を形成する第一拡散工程と、レジストを除去して半導体基板の全面に絶縁膜を形成する工程と、第二のゲート電極をマスクした後、絶縁膜を全面異方性エッチングするエッチング工程と、半導体基板に第二の濃度より大きな第三の濃度の不純物拡散を行うことにより第一のソース・ドレイン領域と第二のソース・ドレイン領域とに第二の拡散層を形成する第二拡散工程と、第二の拡散層の表面にシリサイド層を形成する工程とを含むことを特徴とする半導体装置の製造方法を提供

することにより達成される。

【0013】また、本発明の目的は、上記エッチング工程において、さらに第一のゲート電極の側壁絶縁膜を形成する半導体装置の製造方法を提供することにより達成される。また、本発明の目的は、上記第一拡散工程において、さらに同時に拡散層抵抗を形成する半導体装置の製造方法を提供することにより達成される。

【0014】本発明における上記の手段によれば、外部から静電気等のサージが第二のソース・ドレイン領域のいずれのコンタクト領域からシリサイド層を介して入出力トランジスタに入っても、シリサイド層より抵抗の高い第二の不純物濃度を有する第二の拡散領域でサージェネルギーが吸収されるので高静電破壊耐圧を実現することができる。

【0015】また、LDD領域よりも抵抗値の低い第三の拡散領域を形成することにより、入出力トランジスタの寄生抵抗及び静電破壊モデルにおけるラテラルトランジスタのコレクタ抵抗を低減することができる。

【0016】

【発明の実施の形態】以下において本発明の実施の形態を図面を参照して詳しく説明する。なお、図中同一符号は、同一または相当部分を示す。図3は、本発明の実施の形態に係る半導体装置の製造方法を説明する図である。なお、図においては、Nチャネル側のトランジスタのみが記載されている。また、図中の入出力トランジスタ80は半導体装置のデータ入力回路及びデータ出力回路を構成するものである。

【0017】図3(a)に示されるように、まず最初に半導体基板1上に素子分離絶縁膜2が形成されることにより入出力回路領域と内部回路領域とが互いに分離される。次に、半導体基板1上の入出力回路領域と内部回路領域との各々においてゲート酸化膜5が形成される。そして、ゲート酸化膜5の上にポリサイドゲート膜を形成してパターニングすることによりゲート電極3が形成される。次にゲート電極3をマスクとして、 P^+ 不純物を基板表面濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以下となる様に半導体基板1にイオン注入することによりLDD領域（低濃度拡散領域）4がゲート電極3に対して自己整合的に形成される。

【0018】次に図3(b)に示されるように、入出力トランジスタ80が形成される領域のみ開口するマスクパターニングにより内部トランジスタ90をレジスト12でマスクした後、入出力トランジスタ80が形成される領域に P^+ 不純物を基板表面濃度が $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ となる様にイオン注入することにより、中濃度拡散領域6がゲート電極3に対して自己整合的に形成される。なお、半導体基板1に拡散層抵抗を形成する場合には、上記マスクパターニング時に拡散層抵抗形成のためのパターニングを同時に行うこととすれば、更なる工程数の増加を招くことはない。

【0019】次に図3(c)に示されるように、典型的には SiO_2 膜の化学気相成長により、半導体基板1上の全面にゲート電極3の側壁スペーサ用の絶縁膜7が形成される。そして、図3(d)に示されるように、マスクパターンを用いて入出力トランジスタ80のゲート電極3の直上から中濃度拡散領域6の一部までわたってレジスト8によりマスクし、前記半導体基板1上で略垂直に作用する全面異方性エッチングを行う。このエッチング工程により絶縁膜7がエッチバックされ、ゲート電極3の側壁絶縁膜7Aも同時に形成される。なお、この工程でレジスト8をゲート電極3の側壁からある距離離れた位置まで塗布することによって静電破壊耐圧の向上を実現でき、実験的には例えば側壁から $0.5 \mu\text{m}$ 離れた位置まで塗布することによっても効果が得られた。また、半導体基板1に拡散層抵抗を形成する場合には、上記マスクパターニング時に拡散層抵抗形成のためのパターニングを同時に行うこととすれば、更なる工程数の増加を招くことはない。

【0020】図4は、本発明の実施の形態に係る半導体装置の製造方法をさらに続けて説明する図である。図4(a)に示されるように、入出力トランジスタのゲート電極3を覆っているレジスト8を除去した後、半導体基板1の全面に基板表面濃度が $1 \times 10^{20} \text{ cm}^{-3}$ 以上となる様に As^+ 不純物を高濃度でイオン注入することにより、入出力トランジスタ80のソース・ドレイン領域のうち絶縁膜7で覆われていない領域と内部トランジスタのソース・ドレイン領域とに高濃度拡散領域9が形成される。

【0021】次に図4(b)に示されるように、半導体基板1上の全面に例えばチタン等の高融点金属を堆積して熱処理を行うことにより、入出力トランジスタ80のソース・ドレイン領域に形成された高濃度拡散領域9の表面と内部トランジスタ90のソース・ドレイン領域の表面とにチタン等からなるシリサイド層10が形成される。なお、上記高融点金属としてはチタンの他にコバルトやタングステンやニッケルなどが用いられる。

【0022】次に図4(c)に示されるように、半導体基板1上の全面に層間絶縁膜13が堆積され、その後シリサイド層10上に電極コンタクトホール14が形成される。そして、図4(d)に示されるように、電極コンタクトホール14を埋めるように導体配線パターン15が形成される。

【0023】以上のような方法で、本発明の実施の形態に係る半導体装置が製造されるが、このような半導体装置によれば、データを入出力する入出力回路を構成する入出力トランジスタ80について、その駆動能力を担保しつつ高静電破壊耐性を従来よりさらに向上させることができる。

【0024】

【発明の効果】上述の如く、本発明によれば、駆動能力

が担保されると共に従来より高静電破壊耐性が向上した入出力トランジスタを備えた半導体装置を容易に得ることができる。

【図面の簡単な説明】

【図 1】 従来の第一の半導体装置を製造する方法を説明する図である。

【図 2】 従来の第二の半導体装置の構造を示す図である。

【図 3】 本発明の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 4】 本発明の実施の形態に係る半導体装置の製造方法をさらに続けて説明する図である。

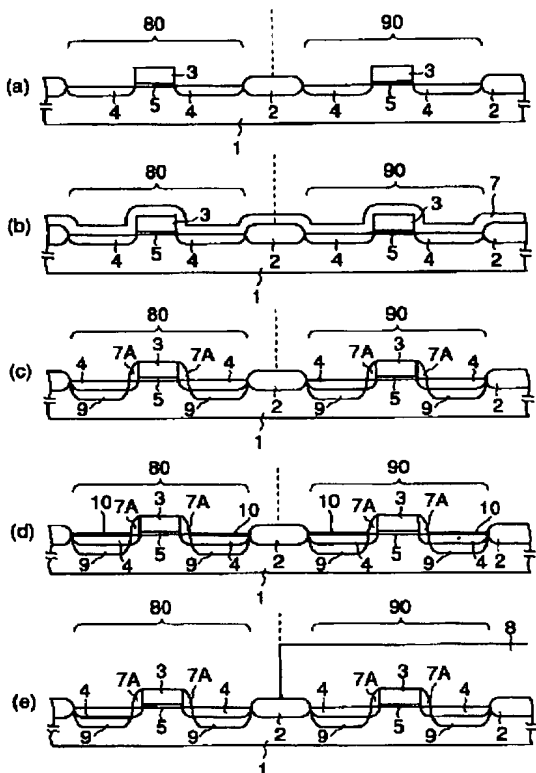
【符号の説明】

- 1 半導体基板
- 2 素子分離絶縁膜

- 3 ゲート電極
- 4 LDD領域（低濃度拡散領域）
- 5 ゲート酸化膜
- 6 中濃度拡散領域
- 7, 7B 絶縁膜
- 7A 側壁絶縁膜
- 8, 12 レジスト
- 9 高濃度拡散領域
- 9A n^+ 拡散層
- 10, 10A, 10B シリサイド層
- 13 層間絶縁膜
- 14 電極コンタクトホール
- 15 導体配線パターン
- 80 入出力トランジスタ
- 90 内部トランジスタ

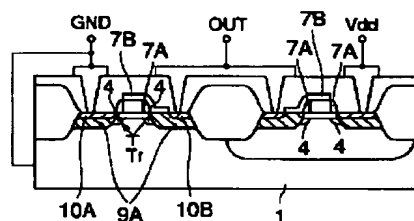
【図 1】

従来の第一の半導体装置を製造する方法を説明する図



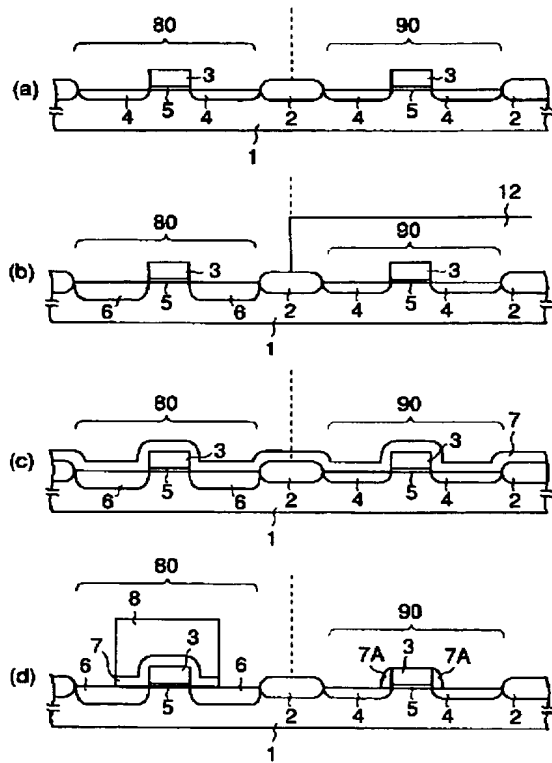
【図 2】

従来の第二の半導体装置の構造を示す図



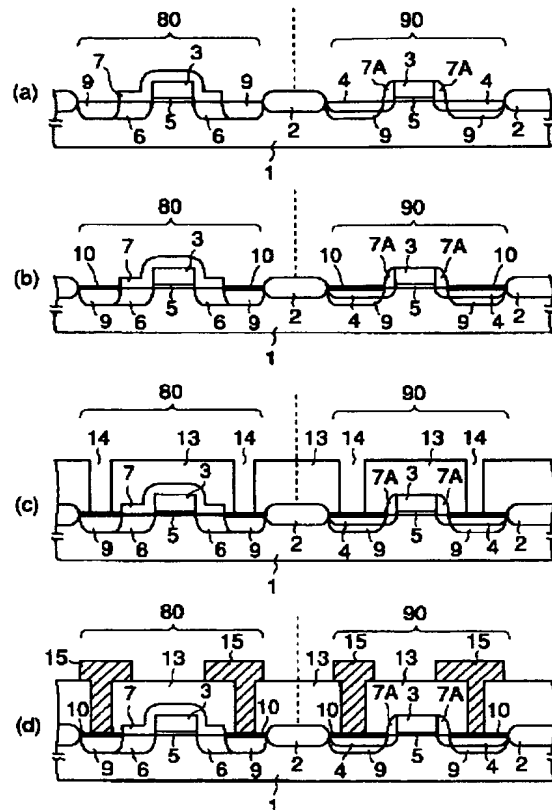
【図3】

本発明の実施の形態に係る半 体装置の製造方法を説明する図



【図4】

本発明の実施の形態に係る半導体装置の製造方法をさらに
図に説明する図



フロントページの続き

Fターム(参考) 4M104 AA01 BB20 BB21 BB25 BB28
CC01 DD04 DD08 DD26 EE03
EE06 FF28 GG10 HH20
5F048 AA02 AA05 AB06 AB07 AC01
AC03 BA01 BB05 BC06 BC20
BF06 BF16 BG12 DA25